

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04152277 A**(43) Date of publication of application: **26.05.92**

(51) Int. Cl

**G01R 31/02****G01R 31/26****G01R 31/318**(21) Application number: **02276149**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **17.10.90**(72) Inventor: **KUMAKURA SHINSUKE**(54) **SEMICONDUCTOR DEVICE**

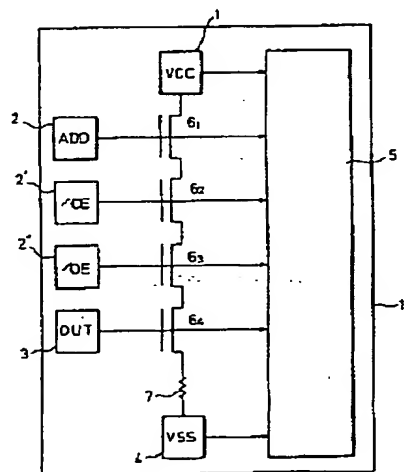
(57) Abstract:

**PURPOSE:** To enable the time of a continuity test to be substantially reduced by connecting each switching element in series, and connecting one end of the series circuit to the first power supply terminal, while the other end connected to the second power supply terminal.

**CONSTITUTION:** The semiconductor device in the title is constituted of an input signal terminal group comprising an address terminal ADD2, a chip enable terminal CE2' and an output enable terminal OE2" respectively connected to an internal logical circuit section 5, and an output signal terminal group 3. Also, switching elements 6<sub>1</sub> to 6<sub>4</sub> to be turned on and off depending upon voltage applied to the terminals thereof, are connected in series. One end at the series circuit is connected to the first power supply terminal 1 as a high voltage power supply VCC, while the other end connected to the second power supply terminal having low voltage VSS. When high voltage is applied to each terminal with all input/output terminals kept in contact, all switching elements 6<sub>1</sub> to 6<sub>4</sub> become electrically continuous, and current flows between the power supply terminals 1 and 4. Consequently, proper connection between all

input/output terminals and a test device is instantaneously judged.

COPYRIGHT: (C)1992,JPO&amp;Japio



**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A) 平4-152277

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑯ 公開 平成4年(1992)5月26日

G 01 R 31/02  
31/26  
31/318G 8411-2G  
8411-2G

6912-2G G 01 R 31/28

B

審査請求 未請求 請求項の数 4 (全7頁)

⑰ 発明の名称 半導体装置

⑱ 特 願 平2-276149

⑲ 出 願 平2(1990)10月17日

⑳ 発 明 者 熊 倉 眞 輔 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 青 木 朗 外4名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 第1の電源端子、該第1の電源端子より低電位を有する第2の電源端子、該両電源端子が接続される内部回路部、該内部回路部に接続された入力信号端子と出力信号端子とから構成された半導体装置であって、該入力信号端子と出力信号端子の少なくとも一方の少なくとも一部に、当該端子に印加される電圧に応じて導通、非導通となるスイッチング素子を設けると共に、該各スイッチング素子を直列に接続させ、その一端部を該第1の電源端子と接続させると共に、その他端部を該第2の電源端子に接続せしめた事を特徴とする半導体装置。

2. 該スイッチング素子は、該第1の電源端子の電位以上の電圧が印加した場合にのみ導通する様なしきい値電圧を有する事を特徴とする請求項1記載の半導体装置。

3. 該直列に接続された該スイッチング素子群の一部に抵抗を設けた事を特徴とする請求項1記載の半導体装置。

4. 該直列に接続された全てのスイッチング素子に所定の電圧を印加した場合に、該スイッチング素子群の一部に該スイッチング素子群で構成された回路を通して流れる電流を検出する手段が接続される様に構成されている事を特徴とする請求項3記載の半導体装置。

## 3. 発明の詳細な説明

## 〔概要〕

本発明は半導体装置に関し

全端子の導通試験を一括で確実に実行し、導通試験時間を大幅に短縮する事を目的とし、

第1の電源端子、該第1の電源端子より低電位を有する第2の電源端子、該両電源端子が接続される内部回路部、該内部回路部に接続された入力信号端子と出力信号端子とから構成された半導体装置であって、該入力信号端子と出力信号端子の少なくとも一方の少なくとも一部に、当該端子に

印加される電圧に応じて導通、非導通となるスイッチング素子を設けると共に、該各スイッチング素子を直列に接続させ、その一端部を該第1の電源端子と接続させると共に、その他端部を該第2の電源端子に接続せしめる様に構成する。

#### 〔産業上の利用分野〕

本発明はメモリ等の半導体装置に関するものであり、特に、導通試験を簡便に且つ確実に実行する事の出来る半導体装置に関するものである。

#### 〔従来の技術〕

半導体装置の代表的な例として半導体メモリが広く知られている。

一般に半導体メモリは電源端子 $V_{cc}$ 及び $V_{ss}$ 、入力信号端子、出力信号端子及び内部論理回路とを有する。第5図にはその一般的な例を示す。第5図において10は半導体メモリのチップである。そのチップの上に論理回路5が形成される。又、高電圧電源 $V_{cc}$ 端子1と低電圧電源 $V_{ss}$

この導通試験によって各端子の全てが試験装置と接続されているという状態が保証されていなければ、特性保証試験を行っても特性は保証されないことになる。被測定デバイスの各端子が全て確実に試験装置と接続されていることを確認するためには従来においては次の様にするのが一般的である。

即ち各端子には基板と逆タイプの不純物による拡散層が接続されており、電気的にはダイオードが接続されるので、そのダイオードを順方向にバイアスすることで試験装置と被測定デバイスの端子の接続が確認できる。この試験は、各端子毎に繰り返し行うことになる。

従来は端子数も多くはないため、このような各端子全てに導通試験を行う場合でもその時間はそれほど長くはなかったが、近年の半導体装置の大容量化に伴い端子数も大幅に増加しているため、この導通試験に時間がかかるようになり、コスト上昇にもなるため試験時間の短縮が課題になってきている。

端子4とが設けられており、又、2が入力信号端子、3が出力信号端子、である。このとき内部回路を構成するメモリは外部より端子1と4の間に印加された電源電圧のもとで入力信号端子2に加えられる入力信号に応じ、出力信号端子3に所定のデータを出力するような構造となっている。

近年、半導体装置の試験においてはメモリ容量の増加に伴い試験時間も大幅に増加しており、このままでは試験コストが大変高いものになってしまう。この試験コストを抑えるには不良品をなるべく時間をかけずに判別することも重要になっている。この試験コストの上昇を抑えるためには、半導体装置に色々な特殊試験機能を盛り込み試験時間の増加をおさえることが必要である。

試験項目は大別して電源電流をチェックするDC試験と、アクセス時間等をチェックするAC試験に大別されるが、これらの特性保証試験を行う前には被測定半導体装置（以下、デバイスと云う）の各端子全てが確実に試験装置と接続されていることを確認した上で行なわれるのが前提である。

すなわち、この導通試験においては端子数と導通試験時間は比例して増加していくため、このままでは試験時間は増加する一方である。

そこでこの導通試験の効率的な試験が行えるような試験方法が必要になってきている。

#### 〔発明が解決しようとする課題〕

本発明の目的は、係る従来技術における問題点を解決し、被測定デバイスの端子数に依存しないで、全ての端子を一括して確実に導通試験を実行する事が出来、それによって、導通試験に要する時間を大幅に短縮すると共に、該半導体装置の特性は維持したまま、製造コストを低減しうる半導体装置を提供する事である。

#### 〔課題を解決するための手段〕

本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、本発明に係る半導体装置は基本的には、第1の電源端子、該第1の電源端子より低電位を有

する第2の電源端子、該両電源端子が接続される内部回路部、該内部回路部に接続された入力信号端子と出力信号端子とから構成された半導体装置であって、該入力信号端子と出力信号端子の少なくとも一方の少なくとも一部に、当該端子に印加される電圧に応じて導通、非導通となるスイッチング素子を設けると共に、該各スイッチング素子を直列に接続させ、その一端部を該第1の電源端子と接続させると共に、その他端部を該第2の電源端子に接続せしめた半導体装置である。

#### 【作 用】

本発明に於いては、半導体装置は上記した構成を有するので、該半導体装置の測定すべき全端子に、当該スイッチング素子を導通されるのに十分な電圧を印加する事によって、該高電圧電源である第1の電源端子と低電圧電源である第2の電源端子との間に形成された回路に電流が流れるか否かを検出し、電流が流れていれば、全端子は所定の試験装置の端子と確実に接続されて導通してい

る事が判る。

又、電流が当該回路に電流が流れない場合には、全端子の何れかが当該試験装置の端子と確実に接続されていない事を意味するものである。

#### 【実施例】

以下に、本発明に係る半導体装置の具体例を図面を参照しながら詳細に説明する。

第1図は本発明に係る半導体装置の一具体例を示す図であり、且つ本発明の原理説明図である。

即ち、本発明に係る半導体装置は、基本的には第1図に示す通り、高電圧電源 $V_{cc}$ である第1の電源端子1、該第1の電源端子より低電圧 $V_s$ を有する第2の電源端子4、該両電源端子が接続される内部論理回路部5、該内部論理回路部5に接続された、例えば、アドレス端子AD、チップイネーブル端子CE或いはアウトプットイネーブル端子OE等からなる入力信号端子群2、2'、2''と出力信号端子群3とから構成された半導体装置10であって、該入力信号端子群

2と出力信号端子群3の少なくとも一方の少なくとも一部に、当該端子に印加される電圧に応じて導通、非導通となるスイッチング素子6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>、6<sub>4</sub>を設けると共に、該各スイッチング素子6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>、6<sub>4</sub>を直列に接続させ、その一端部を該第1の電源端子1と接続させると共に、その他端部を該第2の電源端子4に接続せしめたものである。

本発明に於いては、該第1の電源端子1と第2の電源端子4との間に直列に接続されて形成された該スイッチング素子群6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>、6<sub>4</sub>が導通試験回路を構成するものである。本発明に於いては、該直列に接続された該スイッチング素子群により構成される導通試験回路の一部に抵抗7を設け、当該導通試験回路に流れる電流を測定しえる様に構成する事が好ましい。

又、本発明に於いては、該スイッチング素子6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>、6<sub>4</sub>は所定の電圧、例えば第1の電源 $V_{cc}$ よりも高い電圧を印加する事によって導通する特性を有するもので構成するもので

有っても良く、それによって、上記導通試験の際に、被測定半導体装置の全端子が確実に所定の試験装置の端子と接続されていれば、当該全端子に当該電圧を印加することにより各端子に設けた当該スイッチング素子が全て導通し、該第1の電源端子1と第2の電源端子4との間の回路に電流が流れる。

係る電流を適宜の検流計を用いて測定することによって、導通試験が実行させる。

本発明に於いては、該スイッチング素子は、被測定半導体装置の端子の少なくとも一部に設ければ良いが、全端子に設けておく事がより好ましい。

本発明に於ける該スイッチング素子としては、特に限定されるものではないが、バイポーラトランジスタとか電界効果型トランジスタ(FET)等のトランジスタが好ましくは使用でき、更に好ましくは、MISFETトランジスタが使用される。

係るスイッチング素子に使用されるMISFETトランジスタは、当該半導体装置の内部論理回

路に使用されているMISFETトランジスタと同一の構成を持つもので有っても良い。

本発明に於いて、該スイッチング素子は、該第1の電源端子の電位以上の電圧が印加した場合にのみ導通する様なしきい値電圧を有する事が好ましいが、上記したトランジスタを使用する場合には、該トランジスタのしきい値が高いものである事が好ましく、例えば該MISFETトランジスタの場合第1の電源端子の電位5V以上のしきい値、具体的には、例えば7乃至8Vを有している事が好ましい。

従って、本発明に於いて、導通試験を実行する場合には、該半導体装置の全端子に上記した7乃至8Vの電圧を該スイッチング素子であるトランジスタのゲートに印加することにより、全スイッチング素子が導通するので、該第1の電源端子1と第2の電源端子4との間の回路が開き、両電源間に電流が流れる。

バイポーラトランジスタの場合はベースに加える電流を制御すればよい。

6のMOSFETを導通状態にする信号を印加し、1の電源端子Vccと4の電源端子Vssに7の抵抗素子を介して電流が流れる。

このとき内部回路5であるメモリは外部より供給された電源Vccのもとで入力信号に応じ、データを出力するような構造となっている。この場合、6のスイッチング素子は7V以上のしきい値の高いものを用いる。これは通常の使用状態において入出力信号が印加されても電源端子1-4間に電流が流れるのを防止し、入出力端子2及び3の全ての端子に試験用の高電圧が印加されたときのみ電源端子1-4間に電流が流れるようにするためである。この6のスイッチング素子は例えば第3図に示すような構成からなるFETトランジスタを各パッドの下に設けた厚い酸化膜を利用して作製すれば容易に実現可能である。

第3図はしきい値の高いスイッチング素子6の例であるMOSFETの断面図である。第3図(a)は上面図、同図(b)はA-A'の断面図、同図(c)はB-B'の断面図である。ここで

又、該スイッチング素子により構成される導通試験回路は、該半導体装置の製造において、内部回路を形成する時に同時に、或いは時間的に差を持たせて一体的に製造するが、上記の様に該スイッチング素子は高いしきい値を持っているので、該半導体装置をユーザーが使用しても、該スイッチング素子の存在はユーザーには判らず、又その存在が該半導体装置の特性、機能に何らの影響を与えるものでもない。

尚、第5図に於ける各端子部はパッド部を表している。

第2図は本発明に係る半導体装置の他の具体例を示す図である。

同図において1は第1の電源端子Vcc、2、2'、2''、2'''、2''''は入力信号端子群、3、3'、3''、3'''は出力信号端子群、4は第2の電源端子Vss、5は内部回路、6<sub>1</sub>~6<sub>8</sub>は例えばMOSFETからなるスイッチング素子群、7は電源端子1-4間を結ぶ抵抗素子である。上述したように入出力信号端子のそれぞれに

10はP型Si基板、1はAlから構成された電源端子(Vcc)パッド、2は入力信号端子パッド、3は出力信号端子パッド、4は電源端子(Vss)パッド、5は内部回路である。7は抵抗素子として機能する例えば多結晶Si、8および9、13はN型ウェル領域、11は素子間分離用の例えばSiO<sub>2</sub>等の厚い酸化膜、12はPSGなどの層間絶縁膜、14はN型ウェル領域13と抵抗素子7とを接続するアルミ配線である。

第3図(b)におけるA-A'の断面図で、6のしきい値の高いスイッチング素子は入力信号端子2をパッドのアルミからなるゲートとし、8のN型領域はドレイン、9のN型領域はソース、11の素子間分離用の厚い酸化膜はゲート酸化膜として機能する。

同様に第3図(c)におけるB-B'の断面図では、6'のしきい値の高いスイッチング素子は出力信号端子3をパッドのアルミからなるゲートとし、9のN型領域はドレイン、13のN型領域はソース、11の素子間分離用の厚い酸化膜はゲ

ート酸化膜として機能する。

第4図は本発明に係る半導体装置の別の具体例を示すものである。基本的には第2図のものと同一であるが、第4図の場合、6のしきい値の高いMOS FETを直接パッドの下に設けなくともチップ周辺に活性領域を設け、各パッド端子よりゲートを引き出すようにしたものである。

即ち本具体例では、スイッチング素子6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>、…6<sub>n</sub>をチップの外周縁部に形成しそれを互に直列に接続して両端を第1の電源と第2の電源にそれぞれ接続し、かつ各スイッチング素子のゲートを各端子に接続したものである。

#### 〔発明の効果〕

この全入出力端子が接触状態で各端子に高電圧を印加したとき6のスイッチング素子全てが導通状態になり、電源端子1-4間に電流が流れることで本半導体装置の全入出力端子と半導体試験装置が確実に接続されていることが瞬時に判定可能である。もし仮に全端子のうち一つでも端子が非

接触状態にあるとするとその端子に接続されているスイッチング素子6は非導通状態になるため電源端子1-4間には電流は流れない。この本半導体試験回路を用いることで従来かかっていた導通試験の試験時間を大幅に短縮することが可能である。

以上で説明したように、本発明によれば、被測定デバイスに対し、導通試験を行う際全端子においておのおの導通試験を行わなくてもすむため、従来、測定デバイスの端子数に比例して増加していた導通試験の試験時間を短縮するのに大きく貢献する。

#### 4. 図面の簡単な説明

第1図は本発明に係る半導体装置の原理説明図であり、又本発明に於ける半導体装置の一具体例を示す図である。

第2図は本発明に係る半導体装置の他の具体例を示す図である。

第3図は本発明に使用されるスイッチング素子の構成の例を示す図である。

第4図は本発明に係る半導体装置の更に他の具体例を示す図である。

第5図は従来の半導体装置の構造の例を示す図である。

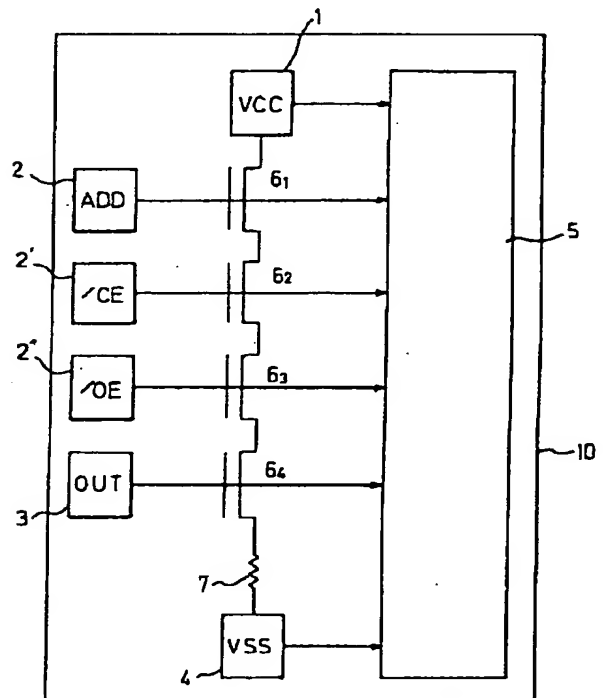
- 1…第1の電源端子、
- 2、2'、2''、2'''、2''''…入力信号端子、
- 3、3'、3''、3'''…出力信号端子、
- 4…第2の電源端子、 5…内部論理回路、
- 6…スイッチング素子、7…抵抗、
- 10…チップ。

特許出願人

富士通株式会社

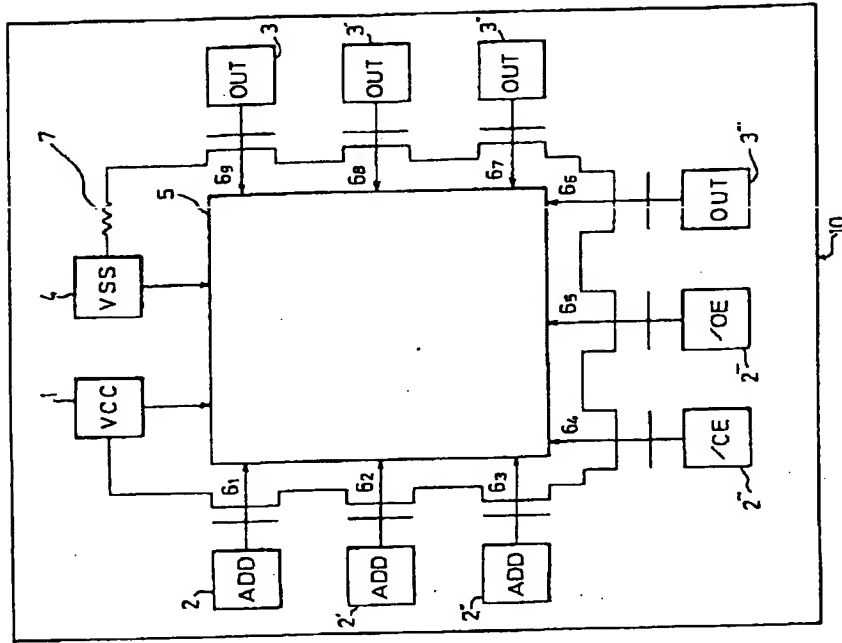
特許出願代理人

弁理士 青 木 朋  
 弁理士 石 田 敬  
 弁理士 平 岩 賢 三  
 弁理士 山 口 昭 之  
 弁理士 西 山 雅 也

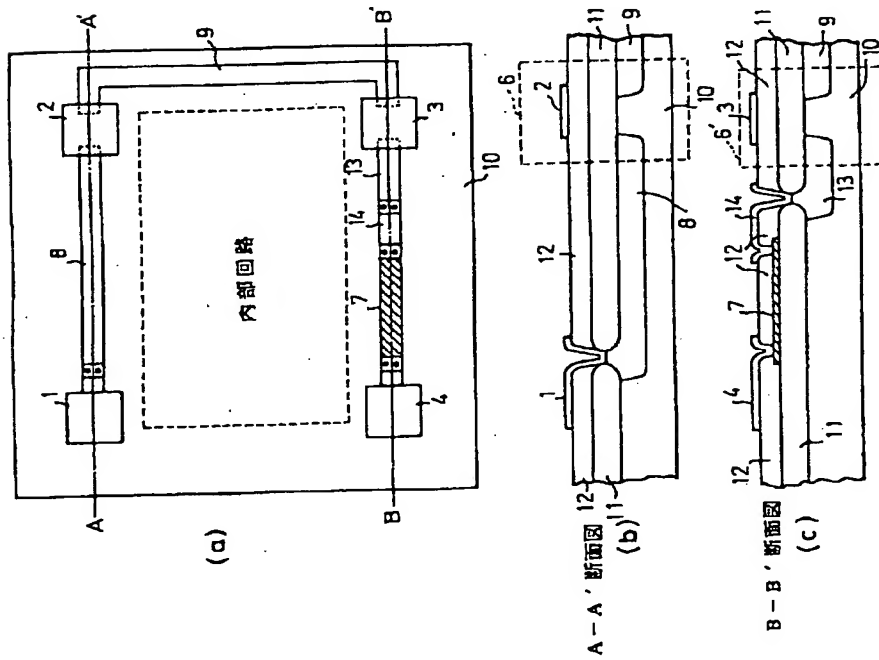


本発明の原理説明図及び一具体例を示す図

第 1 図

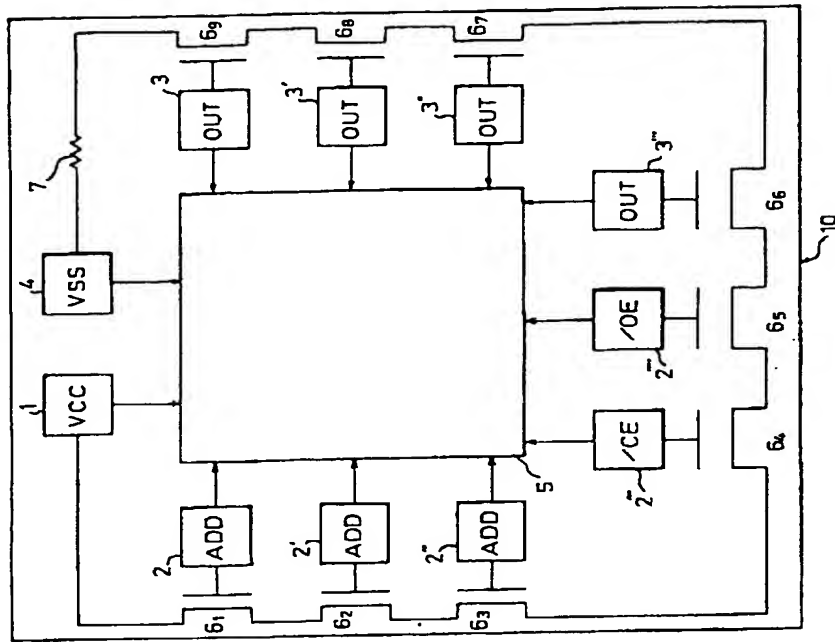


本発明の他の具体例を示す図  
第 2 図



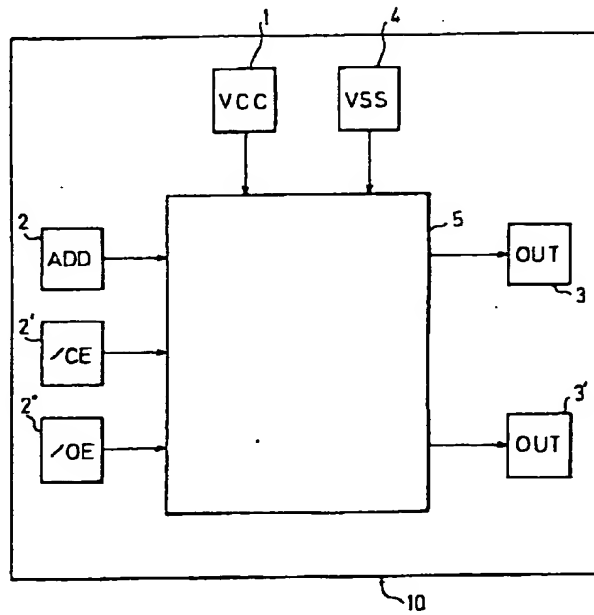
本発明に係るスイッチング素子の構成例を示す図  
第 3 図





本発明に係る他の具体例を示す図

第 4 図



従来の半導体装置の例を示す図

第 5 図

THIS PAGE BLANK (USPTO)